

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 11-214986
 (43)Date of publication of application : 06.08.1999

(51)Int.CI.

H03L 7/00
 G06F 1/10
 G11C 11/407

(21)Application number : 10-014388 (71)Applicant : FUJITSU LTD

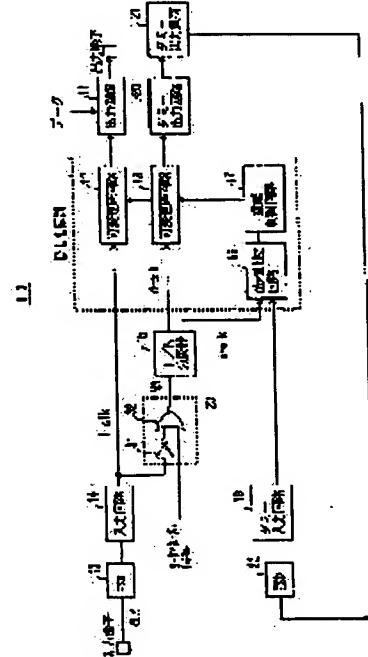
(22)Date of filing : 27.01.1998 (72)Inventor : HASHIMOTO YUKINORI

(54) SEMICONDUCTOR DEVICE

(57)Abstract:

PROBLEM TO BE SOLVED: To output data with appropriate timing, even if large power noises occur with a data output operation by stopping the output timing adjusting operation of a timing stabilization circuit during data output.

SOLUTION: A control circuit 23 contains an inverter 31 and a NOR circuit 32. A read enable signal for reading data from a semiconductor device 10 is supplied to the control circuit 23. When the read enable signal is LOW (not active), the NOR circuit 32 operates as an inverter with respect to the output of the inverter 31. In this case, an inner clock signal i-clk is inputted to a frequency divider 15 as it is. When the read enable signal is HIGH (active), the output of the NOR circuit 32 is fixed to be low. In this case, the clock signal is not supplied to the frequency divider 15. Namely, a phase is not adjusted by a DLL circuit, at the outputting of data from the output circuit 11 of the semiconductor device 10.



LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

(19) 日本国特許庁 (JP)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平11-214986

(43) 公開日 平成11年(1999)8月6日

(51) Int.Cl.[®]

H 03 L 7/00

G 06 F 1/10

G 11 C 11/407

識別記号

F I

H 03 L 7/00

D

G 06 F 1/04

330 A

G 11 C 11/34

354 C

362 S

審査請求 未請求 請求項の数 8 O.L. (全 11 頁)

(21) 出願番号

特願平10-14388

(22) 出願日

平成10年(1998)1月27日

(71) 出願人

000005223

富士通株式会社

神奈川県川崎市中原区上小田中4丁目1番
1号

(72) 発明者

橋本 幸典

神奈川県川崎市中原区上小田中4丁目1番
1号 富士通株式会社内

(74) 代理人

弁理士 伊東 忠彦

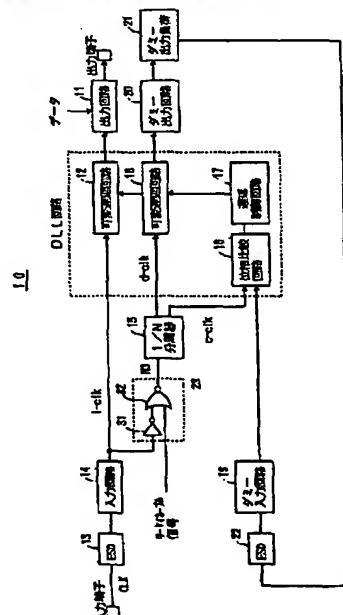
(54) 【発明の名称】 半導体装置

(57) 【要約】

【課題】 本発明は、データ出力動作によって大きな電源ノイズが発生する場合であっても、適切なタイミングでデータを出力可能な、タイミング安定化回路を備えた半導体装置を提供することを目的とする。

【解決手段】 半導体装置は、外部から供給される外部クロック信号に対してデータを外部に出力する出力タイミングを調整するタイミング安定化回路と、データの出力中はタイミング安定化回路の出力タイミング調整動作を停止させる制御回路を含む。

タイミング安定化回路としてDLSI回路を用いた
本発明による半導体装置の実施例を示す図



【特許請求の範囲】

【請求項1】外部から供給される外部クロック信号に基づいてデータを外部に出力する出力タイミングを調整するタイミング安定化回路と、該データの出力中は該タイミング安定化回路の出力タイミング調整動作を停止させる制御回路を含むことを特徴とする半導体装置。

【請求項2】前記外部クロック信号から生成した同期用クロック信号に同期して前記データを外部に出力する出力回路を更に含み、前記タイミング安定化回路は該同期用クロック信号の位相を調整することを特徴とする請求項1記載の半導体装置。

【請求項3】前記タイミング安定化回路は、D L L回路を含むことを特徴とする請求項2記載の半導体装置。

【請求項4】前記タイミング安定化回路は、前記同期用クロック信号の位相を調整する第1の可変遅延回路と、

該第1の可変遅延回路と同一の遅延量に設定される第2の可変遅延回路を含み前記外部クロック信号と前記出力タイミングとの間の位相関係を模擬する模擬回路と、該模擬回路が模擬する該位相関係を判断する位相比較回路と、

該位相比較回路の判断に基づいて該第1の可変遅延回路及び該第2の可変遅延回路の遅延量を調整する遅延制御回路を含むことを特徴とする請求項2記載の半導体装置。

【請求項5】前記制御回路は、前記データの出力中でない期間は前記模擬回路及び前記位相比較回路に前記外部クロック信号に基づいたクロック信号を供給することで前記出力タイミング調整動作を実行させ、該データの出力中の期間は該模擬回路及び該位相比較回路に対する該外部クロック信号に基づいたクロック信号の供給を停止することで該出力タイミング調整動作を停止させることを特徴とする請求項4記載の半導体装置。

【請求項6】前記制御回路は、前記データを外部に出力する動作を指令する信号に基づいて、前記データの出力中であるか否かを判断することを特徴とする請求項5記載の半導体装置。

【請求項7】前記データを外部に出力する動作を指令する信号は、外部からの信号入力に基づくことを特徴とする請求項6記載の半導体装置。

【請求項8】データを出力する出力回路と、該データの出力タイミングを調整するタイミング安定化回路と、該出力回路が該データを出力している間は該出力タイミングの調整を停止させる制御回路を含むことを特徴とする半導体装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は半導体装置に関し、

詳しくはD L L (Delay Locked Loop) 回路等のタイミング安定化回路を有する半導体装置に関する。

【0002】

【従来の技術】半導体装置に於いては、D L L回路等によりクロック信号のタイミングを制御することが行われる。図7は、D L L回路をタイミング安定化回路としてデータ出力に用いた構成例を示す図である。図1の回路は、出力回路501、可変遅延回路502、E S D (Electrical Static Discharge) 保護回路503、入力回路504、分周器505、位相比較回路506、遅延制御回路507、可変遅延回路508、ダミー入力回路509、ダミー出力回路510、ダミー出力負荷511、及びダミーE S D保護回路512を含む。

【0003】入力端子に供給された外部クロック信号C L Kは、E S D保護回路503を介して、カレントミラー回路等で構成される入力回路504に供給される。入力回路504は、供給された外部クロック信号C L Kに基づいて、内部クロック信号i-c1kを出力する。内部クロック信号i-c1kは、可変遅延回路502によって適当な遅延量だけ遅延されて、出力回路501に供給される。出力回路501では、適当な遅延量だけ遅延された内部クロック信号i-c1kを同期信号として用いて、データをラッチする。ラッチされたデータは、出力回路501から出力端子を介して半導体装置外部に出力される。

【0004】上記入力端子から出力端子までの経路には、回路固有の遅延が発生するため、出力回路501から装置外部に出力されるデータは、回路固有の遅延に応じたタイミングを有するものとなる。この出力回路501から装置外部に出力されるデータを、外部クロック信号C L Kと所定のタイミング関係に合わせるために、位相比較回路506、遅延制御回路507、可変遅延回路508、及び可変遅延回路502からなるD L L回路が用いられる。

【0005】内部クロック信号i-c1kは、分周器505で分周され、互いに同一の位相を有したダミークロック信号d-c1k及び参照クロック信号c-c1kが生成される。ダミークロック信号d-c1kは、可変遅延回路508に供給される。可変遅延回路508は、可変遅延回路502と同一の遅延量だけダミークロック信号d-c1kを遅延するように制御される。可変遅延回路508から出力される遅延されたダミークロック信号d-c1kは、出力回路501と同一の遅延特性を有するダミー出力回路510、出力負荷を模擬するダミー出力負荷511、E S D保護回路503と同一の遅延特性を有するダミーE S D保護回路512、入力回路504と同一の遅延特性を有するダミー入力回路509を介して、位相比較回路506に入力される。

【0006】位相比較回路506は、参照クロック信号c-c1kと、ダミー入力回路509から供給されるク

ロック信号とを比較する。両クロック信号が同一の位相となるように、位相比較回路506は、遅延制御回路507を介して可変遅延回路508の遅延量を制御する。これによって、ダミー出力回路510から出力されるクロック信号が、外部クロック信号CLKと所定のタイミング関係になるように制御される。

【0007】ESD保護回路503、入力回路504、可変遅延回路502、及び出力回路501の総遅延量は、ダミーESD保護回路512、ダミー入力回路509、可変遅延回路508、及びダミー出力回路510の総遅延量と同一であるので、出力回路501から装置外部に送出されるデータは、外部クロック信号CLKと所定のタイミング関係になるように制御されることになる。

【0008】このとき電源電圧の変動や温度変動等により、ESD保護回路503、入力回路504、可変遅延回路502、及び出力回路501の特性が変化しても、ダミーESD保護回路512、ダミー入力回路509、可変遅延回路508、及びダミー出力回路510の特性も同様に変化する。従って、出力回路501から装置外部に出力されるデータは、電源電圧変動や温度変動等に関わらず、常に外部クロック信号CLKと所定のタイミング関係になるように制御される。

【0009】

【発明が解決しようとする課題】分周器505は、内部クロック信号i-c1kを1/Nに分周することで、ダミークロック信号d-c1k及び参照クロック信号を生成する。これによってNサイクルに1回の頻度で、位相比較回路506が位相比較を行い、タイミング調整を行うことになる。図7の構成の半導体装置に於いては、DLL回路は常時動作しているため、Nサイクルに1回のタイミング調整はデータの出力中であっても行われる。

【0010】一般に出力回路からデータが出力される際には、出力端子以降の外部負荷を駆動する必要がある。従ってデータ出力時に出力回路が大きな電流を瞬間に消費し、半導体装置内部の電源に大きなノイズが生じる。内部電源に大きなノイズが生じると、可変遅延回路508や一連のダミー回路において、信号の通過時間が変動してしまう。これによって、ダミー入力回路509から位相比較回路506に入力される位相比較対象のクロック信号t-c1kが、タイミングのずれたものとなってしまう。

【0011】図8は、データ出力時の電源ノイズによる問題を説明するためのタイミング図である。図8は、内部クロック信号i-c1k、リードイネーブル信号、出力端子に現れるデータ信号、グランド電圧GND、ダミー入力回路509から出力されるクロック信号t-c1k、参照クロック信号c-c1k、及び図7のノードN1及びN2に於けるクロック信号を示す。

【0012】図8に示されるように、半導体装置にリー

ドイネーブル信号が供給され出力端子からデータD1が outputされると、出力回路501に負荷がかかることによって、電源電圧(グランド電圧GND)にスパイク状のノイズS1がのる。この電源電圧のノイズの影響によって、クロック信号t-c1kのクロックパルスP1の立ち上がりタイミングがずれる。このタイミングに一致して、参照クロック信号c-c1kのNサイクルに1回のパルスが供給されると、タイミングのずれたクロックパルスP1に応じて、DLL回路の位相調整が行われ、可変遅延回路502及び508の遅延量が変化される。これによって、ノードN1及びN2に於けるクロック信号は、誤ったタイミングのクロックパルスP1に基づいた、誤ったタイミングのクロック信号となってしまう。この結果、出力端子に出力されるデータD2は、点線で示される正しいタイミングではなく、実線で示された誤ったタイミングを有することになる。

【0013】一般に電源電圧に変動があっても、DLL回路によるタイミング調整で、電源電圧変動による影響はキャンセルされる。しかしこの調整機構が機能するのは、例えば電源電圧がある第1の電圧から別の第2の電圧に変動して第2の電圧にとどまるような場合であり、この場合には、DLL回路によるタイミング調整によって、第2の電圧に於いて適切なタイミングが確保される。しかし図8に示される場合には、電源電圧の変動は一瞬のノイズであり、第1の電圧から第2の電圧に移行してその直後に第1の電圧に戻る。このような場合、図8に示される例においては、データD2は第1の電圧の条件で調整されたタイミングに基づいて出力されるべきであるが、上記のように誤ったタイミングで出力されることになる。

【0014】出力回路501は、出力データの各ビットに対して設けられ、半導体装置全体では複数の出力回路が設けられることになる。従って、これらの出力回路が同時に動作することによって生成される電源ノイズは大きなものとなり、出力データの無視できないタイミングのずれにつながる。従って本発明は、データ出力動作によって大きな電源ノイズが発生する場合であっても、適切なタイミングでデータを出力可能な、タイミング安定化回路を備えた半導体装置を提供することを目的とする。

【0015】

【課題を解決するための手段】請求項1の発明に於ては、半導体装置は、外部から供給される外部クロック信号に対してデータを外部に出力する出力タイミングを調整するタイミング安定化回路と、該データの出力中は該タイミング安定化回路の出力タイミング調整動作を停止させる制御回路を含むことを特徴とする。

【0016】請求項2の発明に於ては、請求項1記載の半導体装置に於て、前記外部クロック信号から生成した同期用クロック信号に同期して前記データを外部に出力

する出力回路を更に含み、前記タイミング安定化回路は該同期用クロック信号の位相を調整することを特徴とする。請求項3の発明に於ては、請求項2記載の半導体装置に於て、前記タイミング安定化回路は、D L L回路を含むことを特徴とする。

【0017】請求項4の発明に於ては、請求項2記載の半導体装置に於て、前記タイミング安定化回路は、前記同期用クロック信号の位相を調整する第1の可変遅延回路と、該第1の可変遅延回路と同一の遅延量に設定される第2の可変遅延回路を含み前記外部クロック信号と前記出力タイミングとの間の位相関係を模擬する模擬回路と、該模擬回路が模擬する該位相関係を判断する位相比較回路と、該位相比較回路の判断に基づいて該第1の可変遅延回路及び該第2の可変遅延回路の遅延量を調整する遅延制御回路を含むことを特徴とする。

【0018】請求項5の発明に於ては、請求項4記載の半導体装置に於て、前記制御回路は、前記データの出力中でない期間は前記模擬回路及び前記位相比較回路に前記外部クロック信号に基づいたクロック信号を供給することで前記出力タイミング調整動作を実行させ、該データの出力中の期間は該模擬回路及び該位相比較回路に対する該外部クロック信号に基づいたクロック信号の供給を停止することで該出力タイミング調整動作を停止させることを特徴とする。

【0019】請求項6の発明に於ては、請求項5記載の半導体装置に於て、前記制御回路は、前記データを外部に出力する動作を指令する信号に基づいて、前記データの出力中であるか否かを判断することを特徴とする。請求項7の発明に於ては、請求項6記載の半導体装置に於て、前記データを外部に出力する動作を指令する信号は、外部からの信号入力に基づくことを特徴とする。

【0020】請求項8の発明に於ては、半導体装置は、データを出力する出力回路と、該データの出力タイミングを調整するタイミング安定化回路と、該出力回路が該データを出力している間は該出力タイミングの調整を停止させる制御回路を含むことを特徴とする。上記発明による半導体装置に於いては、データ出力期間中はタイミング安定化回路でのタイミング調整動作を停止する制御回路を設けることで、データ出力により電源電圧にノイズが生じても、タイミング安定化回路が誤ったタイミングを設定することがない。従って、電源ノイズに関わらず適切なタイミングでデータ出力を行うことが可能になる。

【0021】従ってD R A M等の半導体装置に於いて、データ読み出しの際のアクセスタイムのばらつきを防ぐことが出来る。

【0022】

【発明の実施の形態】以下に、本発明の実施例を添付の図面を用いて説明する。図1は、タイミング安定化回路としてD L L回路を用いた本発明による半導体装置の実

施例を示す図である。図1の半導体装置10は、出力回路11、可変遅延回路12、E S D保護回路13、入力回路14、分周器15、位相比較回路16、遅延制御回路17、可変遅延回路18、ダミー入力回路19、ダミー出力回路20、ダミー出力負荷21、ダミーE S D保護回路22、及び制御回路23を含む。

【0023】入力端子に供給された外部クロック信号C L Kは、E S D保護回路13を介して、カレントミラーリング等で構成される入力回路14に供給される。入力回路14は、供給された外部クロック信号C L Kに基づいて、内部クロック信号i-c1kを出力する。内部クロック信号i-c1kは、可変遅延回路12によって適当な遅延量だけ遅延されて、出力回路11に供給される。出力回路11では、適当な遅延量だけ遅延された内部クロック信号i-c1kを同期信号として用いて、データをラッチする。ラッチされたデータは、出力回路11から出力端子を介して半導体装置外部に出力される。

【0024】上記入力端子から出力端子までの経路には、回路固有の遅延が発生するため、出力回路11から装置外部に出力されるデータは、回路固有の遅延に応じたタイミングを有するものとなる。この出力回路11から装置外部に出力されるデータを、外部クロック信号C L Kと所定のタイミング関係に合わせるために、位相比較回路16、遅延制御回路17、可変遅延回路18、及び可変遅延回路12からなるD L L回路が用いられる。

【0025】内部クロック信号i-c1kは、分周器15で分周され、互いに同一の位相を有したダミークロック信号d-c1k及び参照クロック信号c-c1kが生成される。ダミークロック信号d-c1kは、可変遅延回路18に供給される。可変遅延回路18は、可変遅延回路12と同一の遅延量だけダミークロック信号d-c1kを遅延するように制御される。可変遅延回路18から出力される遅延されたダミークロック信号d-c1kは、出力回路11と同一の遅延特性を有するダミー出力回路20、出力負荷を模擬するダミー出力負荷21、E S D保護回路13と同一の遅延特性を有するダミーE S D保護回路22、入力回路14と同一の遅延特性を有するダミー入力回路19を介して、位相比較回路16に入力される。

【0026】位相比較回路16は、参照クロック信号c-c1kと、ダミー入力回路19から供給されるクロック信号とを比較する。両クロック信号が同一の位相となるように、位相比較回路16は、遅延制御回路17を介して可変遅延回路18の遅延量を制御する。この制御によって、ダミー出力回路20から出力されるクロック信号が、外部クロック信号C L Kと所定のタイミング関係になるように調整される。

【0027】E S D保護回路13、入力回路14、可変遅延回路12、及び出力回路11の総遅延量は、ダミーE S D保護回路22、ダミー入力回路19、可変遅延回

路18、及びダミー出力回路20の総遅延量と同一であるので、出力回路11から装置外部に送出されるデータは、外部クロック信号CLKと所定のタイミング関係になるように制御されることになる。

【0028】このとき電源電圧の変動や温度変動等により、ESD保護回路13、入力回路14、可変遅延回路12、及び出力回路11の特性が変化しても、ダミーESD保護回路22、ダミー入力回路19、可変遅延回路18、及びダミー出力回路20の特性も同様に変化する。従って、出力回路11から装置外部に出力されるデータは、電源電圧変動や温度変動等に関わらず、常に外部クロック信号CLKと所定のタイミング関係になるように制御される。

【0029】図1の本発明による半導体装置10には、制御回路23が設けられている。制御回路23は、インバータ31及びNOR回路32を含む。制御回路23には、半導体装置10からデータを読み出すためのリードイネーブル信号が供給される。リードイネーブル信号がLOW(非活性)の時、NOR回路32は、インバータ31の出力に対するインバータとして動作する。従ってこの場合には、内部クロック信号i-c1kがそのまま、分周器15に入力される。

【0030】リードイネーブル信号がHIGH(活性)の時、NOR回路32の出力はLOW固定となる。従ってこの場合、分周器15にはクロック信号は供給されない。即ち、半導体装置10の出力回路11からデータを出力する際には、DLI回路による位相調整は行われないことになる。図2は、データ出力時の位相比較動作停止を説明するためのタイミング図である。図2は、内部クロック信号i-c1k、リードイネーブル信号、及びNOR回路32からの出力である図1のノードN3の信号を示す。

【0031】図2に示されるように、データ出力が行われるリードイネーブル信号がHIGHである間の期間は、ノードN3の信号はLOW固定となり、クロックパルスが分周器15に供給されない。従ってデータ出力が行われる期間中は、位相比較回路16による位相比較動作が中止される。このように本発明による半導体装置に於いては、データ出力期間中はDLI回路での位相比較動作及び位相調整動作を停止する制御回路を設けることで、データ出力により電源電圧にノイズが生じても、DLI回路が誤ったタイミングを設定することがない。従って、電源ノイズに関わらず適切なタイミングでデータ出力をを行うことが可能になる。

【0032】なおダミー出力回路20は、リードイネーブル信号がLOWである期間(データ出力中でない期間)に動作するため、電源電圧に若干のノイズがのることになる。しかしながらダミー出力回路20は一つの半導体装置に一つだけしか設けられていないため、電源ノイズは比較的小さく、位相調整に与える影響は無視する

ことが出来る。

【0033】図3は、可変遅延回路の回路構成を示す回路図である。図3の可変遅延回路が、図1の可変遅延回路12及び18として用いられる。図3の可変遅延回路は、複数のインバータ101、複数のインバータ102、複数のインバータ103、複数のNAND回路104、及び複数のNAND回路105を含む。ある一つのインバータ103と対応する一つのNAND回路105とは、1段の遅延素子を構成し、複数のインバータ103と複数のNAND回路105とで複数段の遅延素子列を構成する。各NAND回路104に供給される制御信号TC1乃至TC8は、遅延制御回路17から供給される制御信号であり、詳しくは後ほど説明する。制御信号TC1乃至TC8は、隣接する2つのみがHIGHであり残りはLOWである信号である。

【0034】入力として供給される入力信号SIは、複数のインバータ101を介して、複数のNAND回路104に供給される。制御信号TC1乃至TC8のうちでHIGHである信号を受け取るNAND回路104を介して、入力信号SIは、複数のインバータ103と複数のNAND回路105とで構成される遅延素子列に入力される。入力信号SIは、遅延素子列を伝播して、更に複数のインバータ102を通過した後に、出力信号SOとして出力される。従って、制御信号TC1乃至TC8のうちでHIGHである信号の位置に応じて、入力信号SIが通過する遅延素子の段数が異なることになる。この位置によって、入力信号SIをどの程度遅延させるのかを制御することが出来る。

【0035】図4は、遅延制御回路17の回路構成を示す回路図である。この遅延制御回路17によって、前述の制御信号TC1乃至TC8を生成する。遅延制御回路17は、NOR回路121-1乃至121-8、インバータ122-1乃至122-8、NAND回路123-1乃至123-8、NMOSトランジスタ124-1乃至124-8、NMOSトランジスタ125-1乃至125-8、NMOSトランジスタ126-1乃至126-8、及びNMOSトランジスタ127-1乃至127-8を含む。リセット信号RがLOWにされると、遅延制御回路17はリセットされる。即ち、リセット信号RがLOWになると、NAND回路123-1乃至123-8の出力がHIGHになり、インバータ122-1乃至122-8の出力がLOWになる。NAND回路123-1乃至123-8とインバータ122-1乃至122-8との各ペアは、互いの出力を互いの入力としてラッチを形成する。従って、上記リセット信号Rで設定された初期状態は、リセット信号RがHIGHに戻っても保持される。

【0036】この初期状態では、図4に示されるように、NOR回路121-1の出力TC1はHIGHであり、NOR回路121-2乃至121-8の出力TC2

乃至TC8はLOWである。即ち出力TC1だけがHIGHである。位相調整対象の信号に関して、遅延量を大きくする必要がある場合には、信号線A及びBに交互にHIGHパルスを供給する。まず信号線Aに信号 ϕ SEのHIGHパルスが供給されると、NMOSトランジスタ124-1がオンになる。このときNMOSトランジスタ126-1がオフであるので、NAND回路123-1の出力がグランドに接続されて、強制的にHIGHからLOWに変化させられる。従ってインバータ122-1の出力はHIGHになり、この状態がNAND回路123-1とインバータ122-1からなるラッチに保持される。またこの時出力TC2はHIGHからLOWに変化する。従ってこの状態では、出力TC1及びTC2がHIGHになる。

【0037】次に信号線Bに信号 ϕ SOのHIGHパルスが供給されると、NMOSトランジスタ124-2がオンになる。このときNMOSトランジスタ126-2がオフになっているので、NAND回路123-2の出力がグランドに接続されて、強制的にHIGHからLOWに変化させられる。従ってインバータ122-2の出力はHIGHになり、この状態がNAND回路123-2とインバータ122-2からなるラッチに保持される。またこの時出力TC1はHIGHからLOWに変化し、出力TC3はLOWからHIGHに変化する。従ってこの状態では、出力TC2及びTC3がHIGHになる。

【0038】このように信号線A及びBに交互にHIGHパルスを供給することで、出力TC1乃至TC8のうちで、2つHIGHである隣接する出力を一つずつ右にずらしていくことが出来る。遅延量を小さくする必要がある場合には、信号線C及びDに交互にHIGHパルスを供給する。この場合の動作は、上述の動作と逆であるので、詳細な説明は省略する。このようにして生成された制御信号TC1乃至TC8を、可変遅延回路に供給することで、位相調整対象である信号の遅延量を自由に調整することが出来る。

【0039】信号線A乃至Dに供給されるのは、信号 ϕ SE、 ϕ SO、 ϕ RE、及び ϕ ROである。これらの信号 ϕ SE、 ϕ SO、 ϕ RE、及び ϕ ROは、図1の位相比較回路16によって生成される。図5は、位相比較回路16の回路構成を示す回路図である。図5の位相比較回路16は、エッジタイミング比較回路130、バイナリカウンタ160、及びパルス生成回路180を含む。

【0040】エッジタイミング比較回路130は、NAND回路131乃至144、インバータ145乃至148、及びNOR回路149を含む。バイナリカウンタ160は、NAND回路161乃至168及びインバータ169乃至171を含む。パルス生成回路180は、NAND回路181乃至186、複数のインバータ187乃至192を含む。

【0041】エッジタイミング比較回路130は、入力

信号S1及びS2を受け取り、入力信号S1及びS2の何れの立ち上がりエッジが先であるかを判断する。入力信号S1及びS2の一方が参照クロック信号c-c1kに対応し、もう一方がダミー入力回路509から供給されるクロック信号t-c1kに対応する。例えば入力信号S1の立ち上がりエッジが先行する場合には、NAND回路131及び132からなるラッチの出力L1及びL2は、それぞれLOW及びHIGHとなる。またNAND回路133及び134からなるラッチの出力L3及びL4もまた、それぞれLOW及びHIGHとなる。

【0042】その後、両方の入力信号S1及びS2がHIGHになると、NAND回路136の出力がLOWとなり、NOR回路149の出力が所定の期間だけHIGHになる。このNOR回路149からの出力は、NAND回路137乃至140からなるゲートを開き、ラッチ出力L1乃至L4が反転されてNAND回路141乃至144からなる2つのラッチに入力される。従って、NAND回路141及び142からなるラッチの出力 ϕ b及び ϕ cは、それぞれHIGH及びLOWとなる。またNAND回路143及び144からなるラッチの出力 ϕ d及び ϕ eは、それぞれHIGH及びLOWとなる。

【0043】従って入力信号S1の立ち上がりエッジが先行する場合には、パルス生成回路180のNAND回路181が出力をLOWに変化させることになる。逆に入力信号S2の立ち上がりエッジが入力信号S1の立ち上がりエッジよりも十分に先行する場合には、ラッチ出力 ϕ b及び ϕ cはLOW及びHIGHとなり、またラッチ出力 ϕ d及び ϕ eもまたLOW及びHIGHとなる。従って、パルス生成回路180のNAND回路182が出力をLOWに変化させることになる。

【0044】入力信号S2の立ち上がりエッジが入力信号S1の立ち上がりエッジより先行するが、その時間差が小さい場合、NAND回路135及びインバータ148による信号遅延の影響で、NAND回路133及び134からなるラッチの出力L3及びL4は、それぞれLOW及びHIGHとなる。この場合、ラッチ出力 ϕ b及び ϕ cはLOW及びHIGHであり、ラッチ出力 ϕ d及び ϕ eはHIGH及びLOWとなる。従って、パルス生成回路180のNAND回路181及び182は、出力をHIGHのまま変化させない。

【0045】このように、入力信号S1及びS2の立ち上がりエッジ間の時間差が小さく、両方の立ち上がりエッジが一致していると見なしてよい場合には、図5の位相比較回路16は出力を生成しない構成となっている。バイナリカウンタ160は、エッジタイミング比較回路130のNAND回路136からの信号を1/2分周して、分周信号D1をインバータ171から出力すると共に、この分周信号の反転信号D2をインバータ170から出力する。NAND回路136からの信号は、入力信号S1及びS2と同一の周期の信号である。従ってバイ

ナリカウンタ160から出力される分周信号D1が、例えば入力信号の偶数番目のサイクルでHIGHになるとすると、分周信号D2は奇数番目のサイクルでHIGHになる。

【0046】パルス信号生成回路180に於いては、上述のように、入力信号S1が先行する場合にはNAND回路181の出力がLOWになり、入力信号S2が十分に先行する場合にはNAND回路182の出力がLOWになる。入力信号S1が先行する場合には、NAND回路181の出力がインバータ187によって反転され、HIGHの信号がNAND回路183及び184に供給される。NAND回路183には更に分周信号D1が供給され、NAND回路184には更に分周信号D2が供給される。従ってこの場合には、パルス信号生成回路180は、信号φSE及びφSOとして、交互にHIGHパルスを出力することになる。

【0047】入力信号S2が十分に先行する場合には、NAND回路182の出力がインバータ188によって反転されて、HIGHの信号がNAND回路185及び186に供給される。NAND回路185には更に分周信号D1が供給され、NAND回路186には更に分周信号D2が供給される。従ってこの場合、パルス信号生成回路180は、信号φRO及びφREとして、交互にHIGHパルスを出力することになる。

【0048】これらの信号φSE、φSO、φRO、及びφREが、図4の遅延制御回路17に供給される。従って、信号S1及びS2のどちらの立ち上がりエッジが先行しているかに応じて、図4の遅延制御回路17を介して、図3の可変遅延回路の遅延量を制御することができる。図6は、タイミング安定化回路としてDLL回路を用いた本発明による半導体記憶装置の実施例を示す図である。図6において、図1と同一の要素は同一の番号で参照され、その説明は省略される。

【0049】図6の半導体記憶装置は、アドレスバッファ41、ローデコーダ42、コラムデコーダ43、コア回路44、リードアンプ/ライトバッファ45、入力回路46、コマンドデコーダ47を含む。これらの回路は通常のDRAMに搭載される回路であり、その回路構成については省略する。コア回路44は、データを記憶する縦横に配置されたメモリセル、指定されたロードアドレスのメモリセルにアクセスするためのワード線、メモリセルからのデータを読み出すビット線、ビット線のデータを増幅するセンスアンプ、指定されたコラムアドレスのセンスアンプに対してデータ読み出し/書き込みをするためのコラムゲート等を含む。

【0050】アドレス信号がアドレスバッファ41に入力され、ロードアドレスはローデコーダ42へ、コラムアドレスはコラムデコーダ43へ供給される。ローデコーダ42は、指定されたロードアドレスのワード線が選択活性化されて、このロードアドレスのメモリセルに対してロ

ードアドレスアクセスが行われる。データ読み出しの場合には、メモリセルから読み出されたデータは、ビット線を介して、センスアンプに格納される。コラムデコーダ43は、指定されたコラムアドレスのセンスアンプに対してコラムゲートを開くことで、センスアンプのデータをリードアンプ/ライトバッファ45に読み出す。読み出されたデータは、出力回路11を介して、半導体記憶装置外部に出力される。

【0051】データ書き込みの場合には、入出力端子に入力されたデータは、入力46を介して、リードアンプ/ライトバッファ45に供給される。このデータは、選択されたコラムアドレスに対応するコラムゲート、センスアンプ、及びビット線を介して、選択されたロードアドレスに対応するメモリセルに格納される。コマンドデコーダ47は、コントロール信号として/RAS (Row Address Strobe)、/CAS (Column Address Strobe)、/WE (Write Enable)、及び/CS (chip select)が入力される。コマンドデコーダ47は、これらのコントロール信号をデコードして、デコード結果を示す複数の信号を出力する。これらの信号は、半導体記憶装置の関連する内部回路に供給され、半導体記憶装置の動作を制御する。デコード結果を示すこれら複数の信号の一つがリードイネーブル信号であり、この信号によって、半導体記憶装置のデータ読み出し動作を実行すると共に、制御回路23の制御を行う。

【0052】図1の場合と同様に、図6の半導体記憶装置に於いては、データ出力期間中はDLL回路での位相比較動作及び位相調整動作を停止する制御回路を設けることで、データ出力により電源電圧にノイズが生じても、DLL回路が誤ったタイミングを設定することがない。従って、電源ノイズに関わらず適切なタイミングでデータ出力を行うことが可能になる。

【0053】以上、本発明を実施例に基づいて説明したが、本発明は上述の実施例に限定されることなく、特許請求の範囲に記載の範囲内で、自由に変形・変更が可能である。

【0054】

【発明の効果】請求項1乃至8記載の発明による半導体装置に於いては、データ出力期間中はタイミング安定化回路でのタイミング調整動作を停止する制御回路を設けることで、データ出力により電源電圧にノイズが生じても、タイミング安定化回路が誤ったタイミングを設定することがない。従って、電源ノイズに関わらず適切なタイミングでデータ出力を行うことが可能になる。

【0055】従ってDRAM等の半導体装置に於いて、データ読み出しの際のアクセスタイムのばらつきを防ぐことが出来る。

【図面の簡単な説明】

【図1】タイミング安定化回路としてDLL回路を用いた本発明による半導体装置の実施例を示す図である。

【図2】データ出力時の位相比較動作停止を説明するためのタイミング図である。

【図3】可変遅延回路の回路構成を示す回路図である。

【図4】遅延制御回路の回路構成を示す回路図である。

【図5】位相比較回路の回路構成を示す回路図である。

【図6】タイミング安定化回路としてD L L回路を用いた本発明による半導体記憶装置の実施例を示す図である。

【図7】D L L回路をタイミング安定化回路としてデータ出力に用いた構成例を示す図である。

【図8】データ出力時の電源ノイズによる問題を説明するためのタイミング図である。

【符号の説明】

10 半導体装置

1 1 出力回路

1 2 可変遅延回路

1 3 E S D保護回路

1 4 入力回路

1 5 分周器

1 6 位相比較回路

1 7 遅延制御回路

1 8 可変遅延回路

1 9 ダミー入力回路

2 0 ダミー出力回路

2 1 ダミー出力負荷

2 2 ダミーE S D保護回路

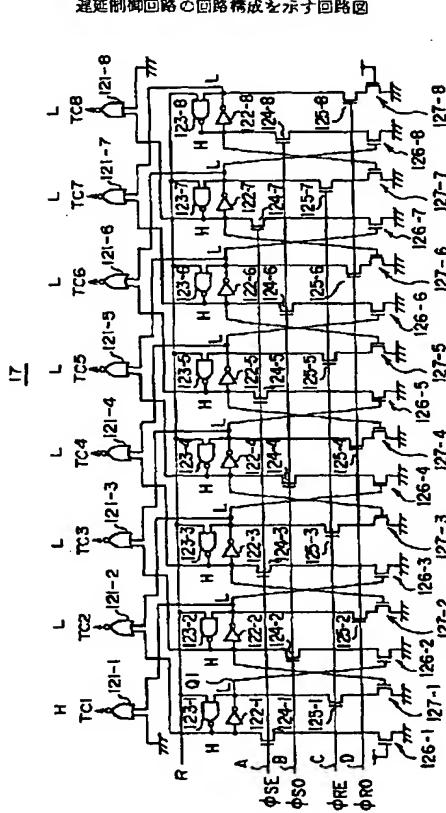
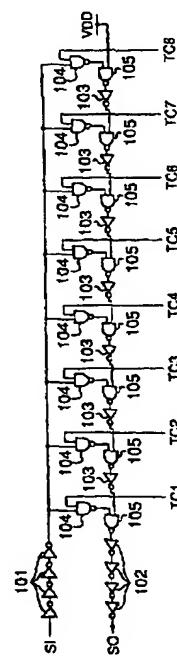
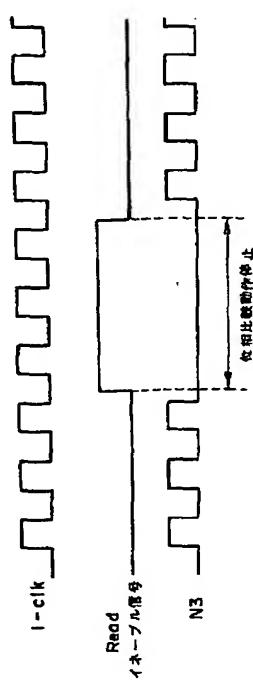
2 3 制御回路

【図2】

【図3】

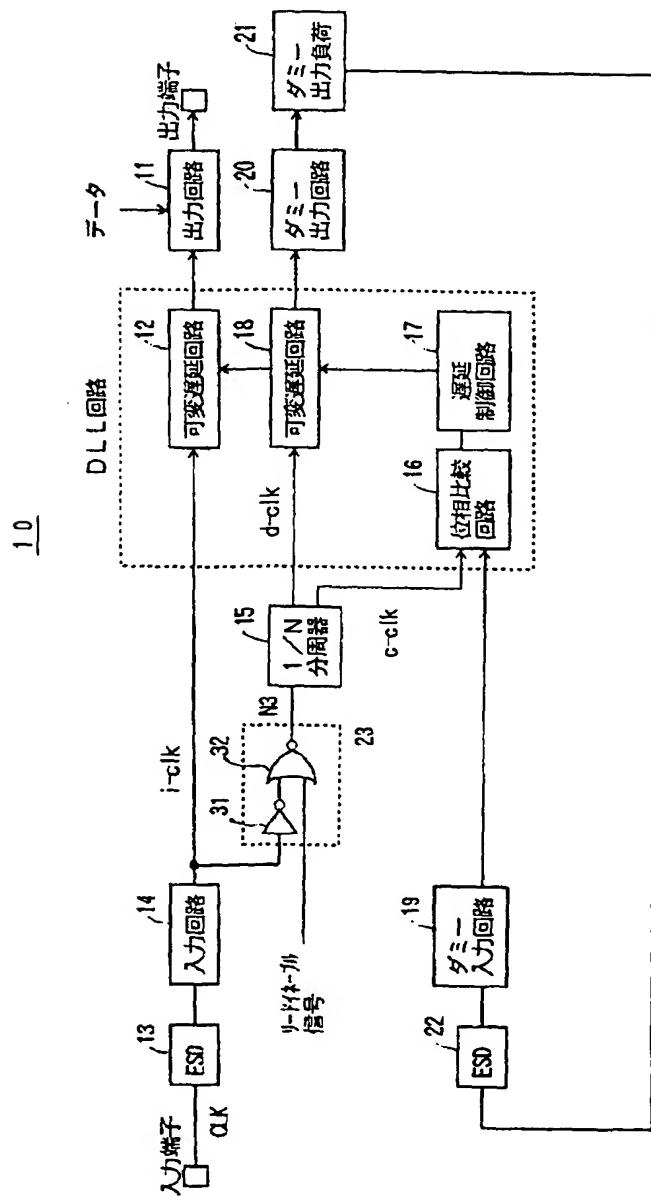
【図4】

データ出力時の位相比較動作停止を説明するための 可変遅延回路の回路構成を示す回路図
タイミング図



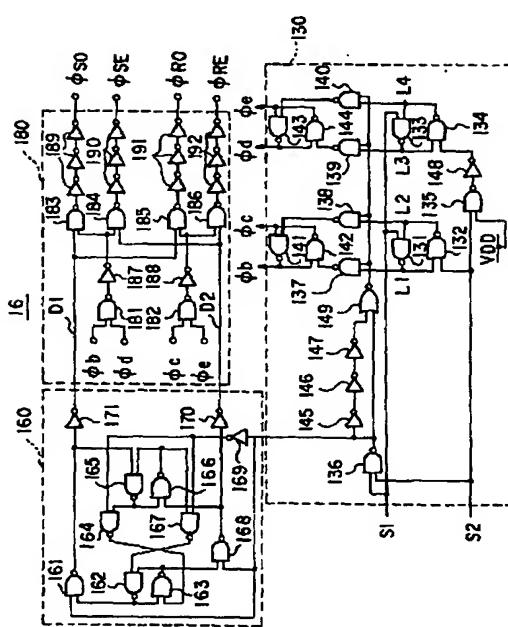
【図1】

タイミング安定化回路としてDLI回路を用いた 本発明による半導体装置の実施例を示す図



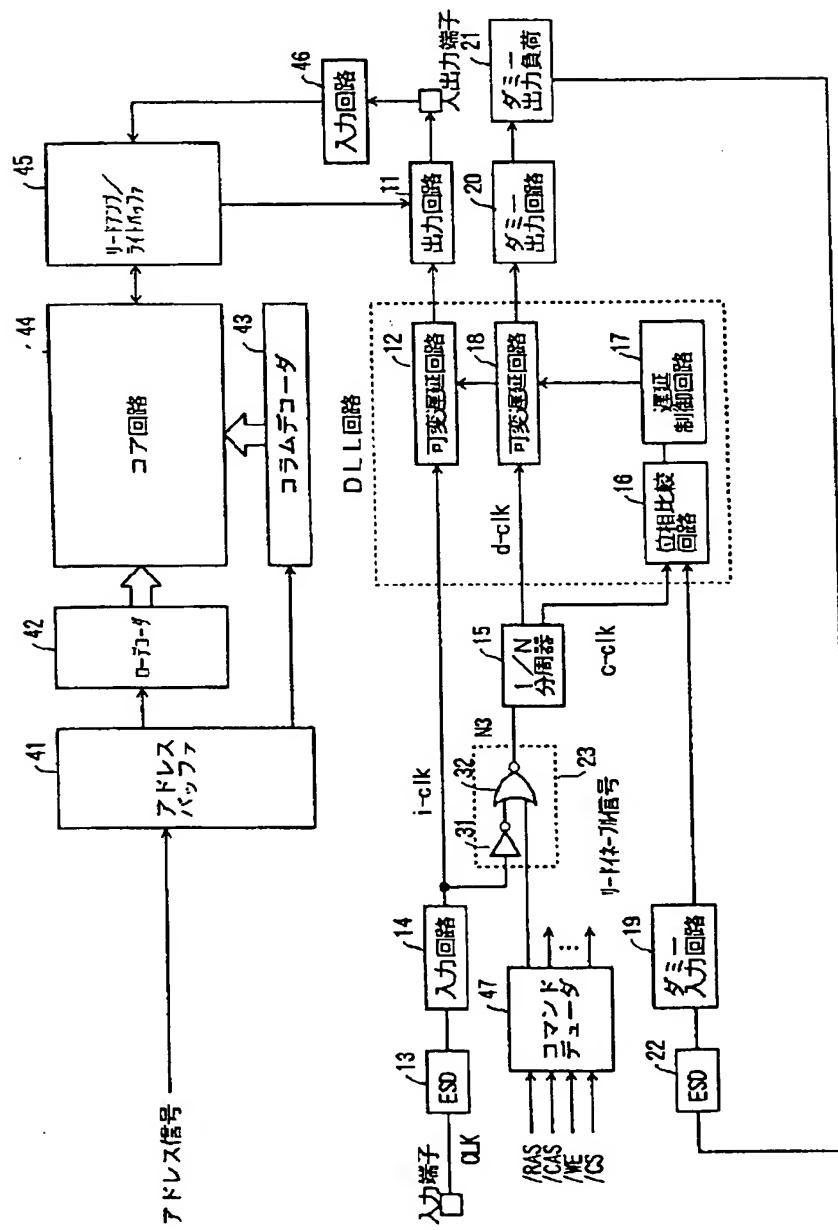
〔図5〕

位相比較回路の回路構成を示す回路図



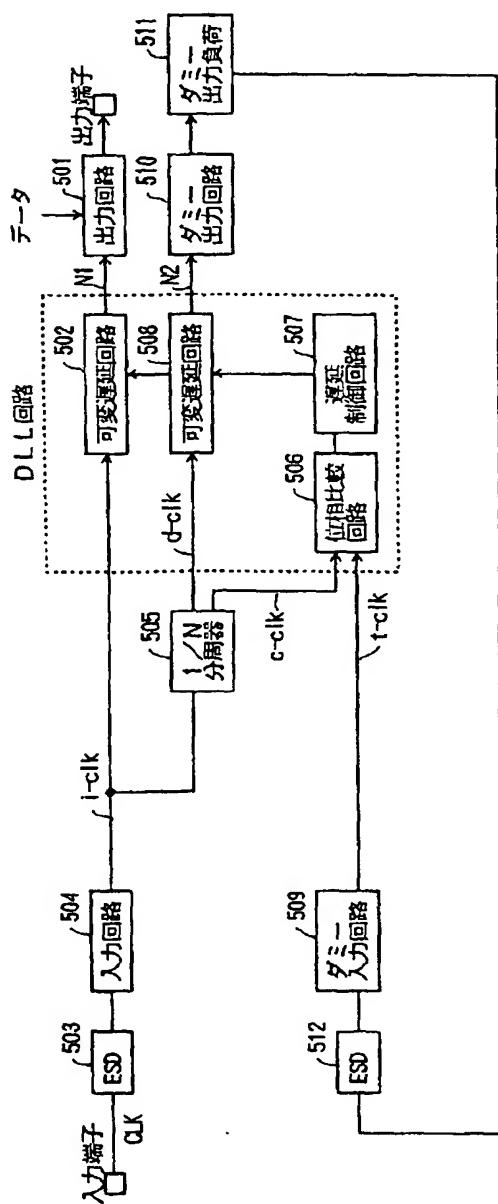
【図6】

タイミング安定化回路としてD.L.L.回路を用いた
本発明による半導体記憶装置の実施例を示す図



【図7】

DLL回路をタイミング安定化回路として
データ出力に用いた構成例を示す図



【図8】

データ出力時の電源ノイズによる問題を説明するための
タイミング図

